

Japanese Patent Laid-open Publication No.: SHO 61-114628 A

Publication date : June 2, 1986

Applicant : FUJITSU LIMITED

Title : Data discriminator

5

2. Scope of Claim for Patent

A data discriminator comprising: a phase comparator that has a mono multi circuit which outputs a pulse of a reference width in synchronism with input data, measures a width from the input data to a synchronous clock, 10 compares the measured width with a pulse width of an output from the mono multi circuit, and outputs a phase comparison result; a voltage control oscillator that generates a synchronous clock of a frequency according to the output from the phase comparator; a first latch circuit that latches the pulse output from the mono multi circuit; a second latch circuit that delays the synchronous 15 clock of the voltage control oscillator; and a flip-flop of an edge trigger that uses the output from the second latch circuit as a clock and uses the output from the first latch circuit as data, wherein propagation delay times of the first latch circuit and the second latch circuit are set equal.

20 4. Brief Description of the Drawings

Fig. 4 is a configuration view of a conventional data discriminator.

Fig. 4

5 Clock

25 50 Phase comparison

51 Charge pump

52 Filter

Input data

5 6 Discriminator

60 Variable delay

61 1/2 frequency

62 Discrimination I

63 Discrimination II

10 64 Logical sum

Output data

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-114628

⑬ Int.Cl.

H 04 L 7/02
G 11 B 20/10
H 04 L 25/40

識別記号

厅内整理番号

B-6745-5K
6733-5D
B-7345-5K

⑭ 公開 昭和61年(1986)6月2日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 データ弁別回路

⑯ 特 願 昭59-235458

⑰ 出 願 昭59(1984)11月8日

⑱ 発明者 宇野 廣司 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出願人 富士通株式会社 川崎市中原区上小田中1015番地
⑳ 代理人 弁理士 山谷 鮎榮

明細書

1. 発明の名称 データ弁別回路

2. 特許請求の範囲

入力データに同期して基準幅のパルスを出力するモノマルチ回路を備え入力データから同期クロックまでの幅を測定して該モノマルチ回路の出力パルス幅と比較して位相比較出力を発する位相比較器と、該位相比較器の出力に応じた周波数の同期クロックを発生する電圧制御発振器と、該モノマルチ回路の出力パルスをラッチする第1のラッチ回路と、該電圧制御発振器の同期クロックを遅延させるための第2のラッチ回路と、該第2のラッチ回路の出力をクロックとし該第1のラッチ回路の出力をデータとするエッジトリガーのフリップフロップとを有し、該第1及び第2のラッチ回路の伝搬遅延時間を等しくしたことを特徴とするデータ弁別回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、入力データに同期したクロックで入力データを弁別するデータ弁別回路に関し、特に入力データを位相同期回路によって同期したクロックによって入力データを弁別するデータ弁別回路に関する。

入力データに同期したクロックで入力データを弁別し、出力データを出力するデータ弁別回路は広く利用されている。例えば、第3図に示す磁気ディスク装置の読み取り系においては、磁気ディスクDKから磁気ヘッドHDが読み取った信号をプリアンプ1で増幅し、AGC (Automatic Gain Control) 回路2で振幅を一定にし、フィルタ3で不要な高周波ノイズを除去した後、A/D (アナログ/デジタル) 変換器4で信号のピーク点に対応したパルスに変換し、入力(パルス)データとしている。そして、VFO (可変周波数発振器、即ちPLL) 回路5でこの入力データであるジッタを伴ったパルスの平均的

なタイミングに同期したクロックを作成し、弁別器6で入力データをクロックに同期させた出力データを得るようにしている。このようにデータ弁別器6は入力データに同期して作成されたクロックで入力データを弁別し、クロックに同期した出力データを発しており、以降クロックに同期した処理を可能としている。

〔従来の技術〕

従来のデータ弁別器6は、第4図に示す如く、入力データから入力データの前縁に同期した2つの遅延信号D11、D12を発生する可変遅延回路60と、位相同期回路(PLL回路と称す)5の遅延信号D11の後縁に同期した同期クロックCLを4分周する分周器61と、分周器61の分周出力TCL、 \overline{TCL} によって遅延信号D12を弁別するラッチ回路から成る第1、第2の弁別回路62、63と、両弁別回路62、63の出力S1、S2の論理和をとる論理回路64などで構成されている。

一方、PLL回路5は、遅延信号D11と同期

クロックCLとの位相比較を行う位相比較器50と、位相比較器50の位相差出力によって制御電圧を発生するチャージポンプ51と、高周波成分をカットし制御電圧を出力するフィルタ52と、制御電圧に応じた周波数の同期クロックCLを発生する電圧制御発振器53とで構成されている。

従来のデータ弁別回路の動作を第5図によって説明すると、入力データDIは可変遅延回路60に入力し、PLL用の遅延信号DI1と、弁別用の遅延信号DI2が入力データDIの前縁に同期して作成される。遅延信号DI1はPLL回路5に入力し、遅延信号DI1の後縁に同期した同期クロックCLが作成され、分周器61によって4分周された出力TCL、 \overline{TCL} が発生される。両弁別回路62、63は分周出力TCL、 \overline{TCL} によって交互に弁別用遅延信号DI2を弁別し、その出力を論理回路64に与え、出力データDOを得る。

このように従来のデータ弁別回路6は、2つの弁別回路62、63を設け、交互に入力データ(

遅延信号DI2)を弁別するとともに両弁別回路62、63の中心位相CPを入力データに合わせるために可変遅延回路60を設け、遅延出力DI1及びDI2のパルス幅を変えて同期クロックCLの位相を変化させることによって分周出力TCL、 \overline{TCL} の位相中心を変化させていた。尚、可変遅延回路60は、遅延出力DI1を実線矢印の如く広げるとともに、遅延出力DI2を実線矢印の如くせばめ、逆に遅延出力DI1を点線矢印の如くせばめるとともに遅延出力DI2を点線矢印の如く広げて相補的な遅延を行なわしめ、中心位相の調整を倍加させている。

〔発明が解決しようとする問題点〕

しかしながら、従来のデータ弁別回路では、可変遅延回路と分周器が設けられ、これらがPLL回路のループ外にあるため、それぞれの伝搬遅延時間の変動が、そのまま弁別回路62、63の中心位相の変動につながる。このため、温度変動や電源電圧変動によって中心位相が変動してしまい良好な弁別ができないという問題があった。

〔問題点を解決するための手段〕

本発明は、温度変動や電源電圧変動による弁別回路の中心位相変動の少ない高精度なデータ弁別回路を提供するにある。

このため、本発明は入力データに同期して基準幅のパルスを出力するモノマルチ回路を備え入力データから同期クロックまでの幅を測定して該モノマルチ回路の出力パルス幅と比較して位相比較出力を発する位相比較器と、該位相比較器の出力に応じた周波数の同期クロックを発生する電圧制御発振器と、該モノマルチ回路の出力パルスをラッチする第1のラッチ回路と、該電圧制御発振器の同期クロックを遅延させるための第2のラッチ回路と、該第2のラッチ回路の出力をクロックとし該第1のラッチ回路の出力をデータとするエッジトリガーのフリップフロップとを有し、該第1及び第2のラッチ回路の伝搬遅延時間を等しくしたことを特徴としている。

〔作用〕

本発明では、PLL回路に設けられたモノマル

チ(バイブレータ)回路の出力バルスのエッジが入力データのエッジに同期し、電圧制御発振器の出力同期クロックのエッジは当該モノマルチ回路の出力バルスのエッジとの位相差が零になるように同期制御される点に注目し、モノマルチ回路の出力バルスを弁別用の入力データとして用いて弁別前段で同期クロックと位相のあった入力データを得るようにし、弁別において、入力データを第1のラッチ回路に入力し、データを保持せしめ、第2のラッチ回路を遅延時間を同一にするためのクロックのバッファとして使用せしめ且つ第1及び第2のラッチ回路の伝搬遅延時間を同一にして、伝搬遅延時間の変動を吸収するようにして、従来の可変遅延回路、分周器を必要としない構成を実現している。

〔実施例〕

以下、本発明を実施例により詳細に説明する。

第1図は本発明の一実施例回路図であり、図中、第4図で示したものと同一のものは同一の記号で示してあり、500はモノマルチバイブレータで

あり、入力データDIの前縁でトリガーされ、基準幅T4のバルスMMを出力するもの、501はフリップフロップであり、入力データDIの前縁でセットされ、電圧制御発振器53の出力クロックCLの後縁でリセットされ、入力データDIの前縁から出力クロックCLの後縁までの時間幅のバルスFF1を出力するもの、502、503は各々遅延回路であり、各々バルスFF1の反転信号 $\overline{FF1}$ 、バルスMMの反転信号 \overline{MM} を遅延させ、位相差が零でも後述するオフセットとして微小幅のバルスを出力させるためのもの、504、505は各々入力反転型アンドゲートであり、入力を反転したものの論理積をとるものであり、アンドゲート504はモノマルチバイブレータ500の出力基準バルスMMの反転出力と遅延回路502の反転出力(即ち、フリップフロップ501の出力バルスFF1の遅延信号)との論理積をとり、クロックCLが遅れていることを示す増信号US(及びその反転信号 \overline{US})を出力するものであり、アンドゲート505はフリップフロップ501の

出力バルスFF1の反転出力と遅延回路503の出力(即ち、モノマルチバイブレータ500の基準バルスMMの遅延信号)との論理積をとり、クロックCLが進んでいることを示す減信号DS(及びその反転信号 \overline{DS})を出力するものである。

65a、65bは差動アンプであり、差動アンプ65aはモノマルチバイブレータ500の基準バルスMMとその反転信号 \overline{MM} との差をとるもの、差動アンプ65bは電圧制御発振器53のクロックCLとその反転信号 \overline{CL} との差をとるもの、66は第1のラッチ回路であり、クロック入力端子Cがローレベルの時データ入力端子Dへ与えられる差動アンプ65aからのモノマルチバイブレータ500の基準バルスMMをQ出力端子に出力し、Q出力がハイレベルになることによって、クロック入力端子Cがハイレベルになったことで基準バルスMMをラッチし、リセット端子Rがハイレベルになるまで保持するものである。67は第2のラッチ回路であり、クロック入力端子Cがローレベルの時にデータ入力端子Dへ与えられる差動ア

ンプ65bからのクロックCLをQ出力端子に出力するものであり、クロック入力端子Cが開放(即ち、ローレベルに固定)されているので、データ入力端子Dの入力波形が反転された \overline{Q} 出力端子 \overline{Q} に出力されるもの、68はフリップフロップであり、エッジトリガータイプのフリップフロップを構成し、クロック入力端子Cの立上りエッジでデータ入力端子DのレベルをQ出力端子に出力するものである。

次に、第1図実施例の動作について第2図の要部波形図を用いて説明する。

入力データDIは、PLL回路5の位相比較器50に入力する。位相比較器50では、入力データDIの前縁によってモノマルチバイブレータ500をトリガーし、フリップフロップ501をセットする。モノマルチバイブレータ500はこれによって基準幅T4の基準バルスMMを発生する。一方、フリップフロップ501はクロックCLの後縁(立下り)でリセットされる。このフリップフロップ501の出力バルスFF1は入力データ

D I の前縁からクロック C L の後縁までの時間分の幅を有し、従ってこれを測定することになる。

一方、アンドゲート S 0 4 は基準パルス MM と出力パルス F F 1 の反転遅延信号とを反転させ論理積をとり、増信号 U S を出力し、アンドゲート S 0 5 は出力パルス F F 1 と基準パルス MM の反転遅延信号とを反転させ論理積をとり、減信号 D S を出力する。従って第 2 図の①、④の同期状態では、オフセットのため短いパルスが増信号 U S 、減信号 D S として出力され、第 2 図の②の実線の如く点線の同期状態から入力データ D I が進んでいる（即ち、クロック C L が遅れている）と、増信号 U S として基準パルス MM の後縁からクロック C L の後縁までの時間幅のパルスが出力され、逆に第 2 図の③の実線の如く点線の同期状態から入力データ D I が遅れている（即ち、クロック C L が進んでいる）と減信号 D S としてクロック C L の後縁から基準パルス MM の後縁までの時間幅のパルスが出力される。これによって、チャージ

ポンプ S 1 を駆動してフィルタ S 2 のコンデンサに電流を充電又は放電し、制御電圧を作成し、電圧制御発振器 S 3 の発振周波数を制御する。このようにして第 2 図の①、④の如くモノマルチバイブレータ S 0 0 の基準パルス MM の後縁とクロック C L の立下り（後縁）の位相差が零になるよう電圧制御発振器 S 3 は制御され、第 2 図の②、③の様なシフトした入力データが入力されても、その平均的な位相に同期するように動作する。

係る周知の P L L 回路のモノマルチバイブルエタ S 0 0 の基準パルス MM を利用して次の様にデータ弁別動作を行なう。即ち、基準パルス MM は入力データの前縁に同期しているからこれを弁別用の入力データとして用いることができ、しかもクロック C L は基準パルス MM の後縁と位相が合うように P L L 制御されるのでクロック C L 自体による弁別が可能となる。

モノマルチバイブルエタ S 0 0 の基準パルス M M は差動アンプ 6 5 a を介し第 1 のラッチ回路 6 6 のデータ入力端子 D に与えられる。第 1 のラッ

チ回路 6 6 は、クロック入力端子 C に与えられる Q 出力がロー・レベルであるから、基準パルス M M を Q 出力端子に出力し、Q 出力をハイ・レベルにして基準パルス M M をラッチする。基準パルス M M からラッチまでの間の時間 T 1 は伝搬遅延時間である。

一方、クロック C L は、差動アンプ 6 5 b を介し第 2 のラッチ回路 6 7 のデータ入力端子 D に入力し、クロック入力端子 C 開放であるから、伝搬遅延時間 T 2 経過後 Q 出力端子に反転された出力があらわれる。

そして、フリップフロップ 6 8 は第 2 のラッチ回路 6 7 の Q 側のクロック C C の立上りによって第 1 のラッチ回路 6 6 の Q 出力 R C をラッチする。このラッチによって第 1 のラッチ回路 6 6 を Q 出力でリセットし、出力データ D O は Q 出力より取り出される。

この第 1 のラッチ回路 6 6 による入力データ（即ち基準パルス M M ）のラッチに要する伝搬遅延時間 T 1 と第 2 のラッチ回路 6 7 の伝搬遅延時間

T 2 を同一にすると、基準パルス M M とクロック C L との遅延時間が同一となり、同期が保たれる。この伝搬遅延時間を同一にするには、両ラッチ回路 6 6 、 6 7 を同一 IC (集積回路) チップに作成すればよく、個別に IC を製造した時に生じる伝搬遅延時間のバラツキを防止できる。

尚、差動アンプ 6 5 a 、 6 5 b はバッファアンプとして動作し、上記と同様に、同一 IC チップに作製すれば、同一の伝搬遅延時間が得られる。

第 2 図中の T 3 は入力データの変動の中心位置を示し、通常クロック C L の周期 T 5 の半分である。この T 3 はモノマルチバイブルエタの基準パルス M M の幅 T 4 に依存し、 $T_4 - T_5 / 2$ のとき、 $T_3 = T_5 / 2$ となる。従って、 $T_1 = T_2$ の条件がいかなる場合でも成立立てば、 $T_3 = T_5 / 2$ となり、高精度の弁別が可能となる。

即ち、従来は、入力データを弁別するのに同期クロック C L から得た分周クロック T C L によって行っており、伝搬遅延時間の相違によって分周クロック T C L の位相中心が入力データとズレる

ことから、可変遅延回路によって調整可能な2つの遅延信号を発生していたのに対し、本発明では、入力データで位相比較器のモノマルチバイブレータを直接トリガーし、入力データに同期し且つクロックと同期した基準パルスを得これを入力データの代わりに用い且つ基準パルスの第1のラッチ回路のラッチのための伝搬遅延時間をクロックも第2のラッチ回路で遅延させて、伝搬遅延時間の相違を吸収するようにして中心位相の変動を防止している。この伝搬遅延時間は同一のため、温度変動、電源電圧変動があっても変動量は同一となり、同期ズレが生じることがなく高精度のデータ弁別が可能となる。

以上本発明を一実施例により説明したが、本発明は本発明の主旨に従い種々の変形が可能であり、本発明からこれらを排除するものではない。

(発明の効果)

以上説明した様に、本発明によれば、入力データに同期して基準幅のパルスを出力するモノマルチ回路を備え入力データから同期クロックまでの

幅を測定して該モノマルチ回路の出力パルス幅と比較して位相比較出力を発する位相比較器と、該位相比較器の出力に応じた周波数の同期クロックを発生する電圧制御発振器と、該モノマルチ回路の出力パルスをラッチする第1のラッチ回路と、該電圧制御発振器の同期クロックを遅延させるための第2のラッチ回路と、該第2のラッチ回路の出力をクロックとし該第1のラッチ回路の出力をデータとするエッジトリガーのフリップフロップとを有し、該第1及び第2のラッチ回路の伝搬遅延時間を等しくしたことを特徴としているので、遅延回路、分周回路を設けなくて済み、位相変動の少ない高精度なデータ弁別を実現できるという効果を奏する。又、その構成も簡単化され、安価な構成も可能となるという効果も奏する。

4. 図面の簡単な説明

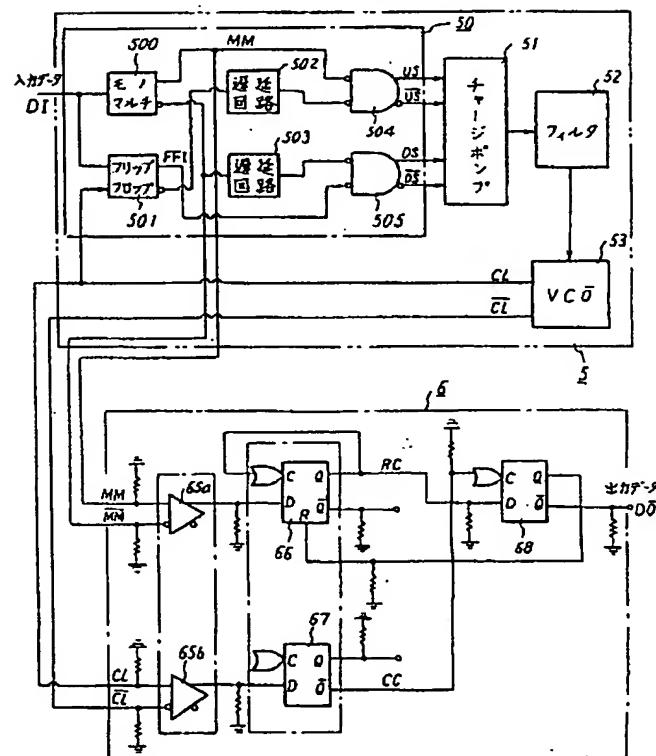
第1図は本発明の一実施例回路図、第2図は第1図構成の各部波形図、第3図は磁気ディスクの読み取り系の構成図、第4図は従来のデータ弁別器

の構成図、第5図は第4図構成の動作説明図である。

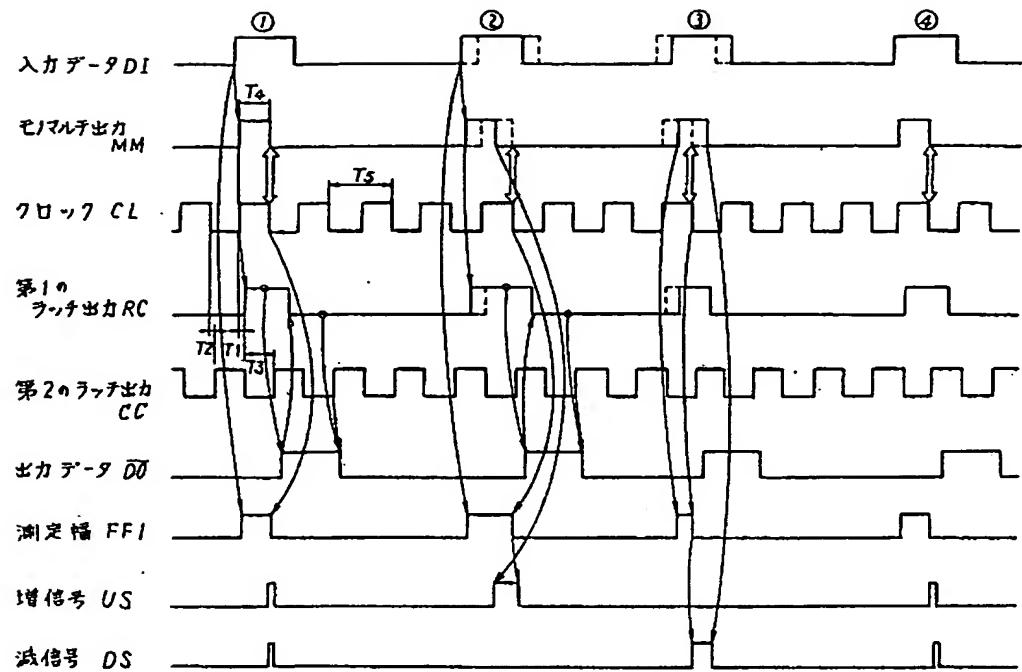
図中、5---P L S I回路、6---弁別器、5 0---位相比較器、5 3---電圧制御発振器、5 0 0---モノマルチバイブレータ、6 6---第1のラッチ回路、6 7---第2のラッチ回路、6 8---フリップフロップ。

特許出願人 富士通株式会社
代理人 弁理士 山谷昭栄

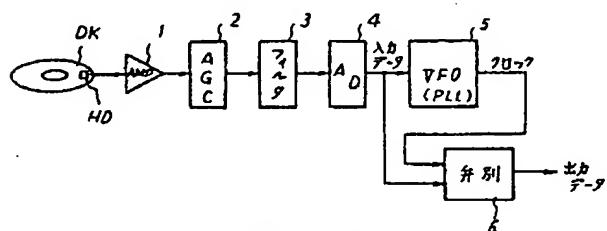
第1図



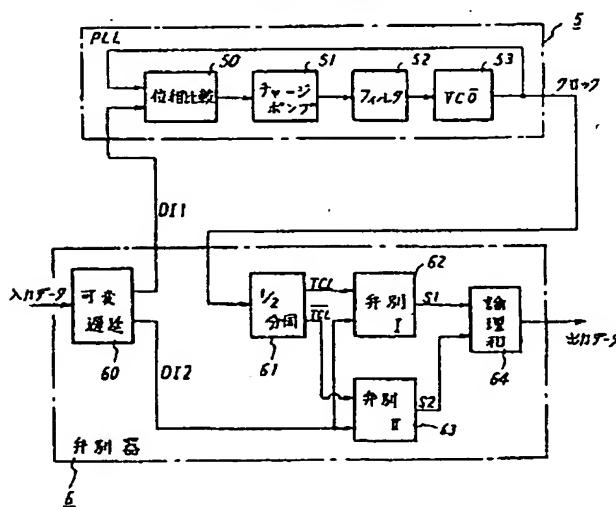
第2図



第3図



第4図



第 5 図

